

УДК 681.32

Л. Д. ЧЕРЕМИСИНОВА

МОДЕЛИ И АЛГОРИТМЫ ОЦЕНИВАНИЯ СРЕДНЕГО ЗНАЧЕНИЯ МОЩНОСТИ, ПОТРЕБЛЯЕМОЙ ПОСЛЕДОВАТЕЛЬНОСТНЫМИ КМОП-СХЕМАМИ

*Объединенный институт проблем информатики Национальной академии наук Беларуси, Минск, Беларусь,
e-mail: cld@newman.bas-net.by*

Рассматривается задача оценки среднего значения мощности, потребляемой КМОП-схемой с памятью, путем динамического и статического анализа схем. Основу методов первого класса составляют процедуры построения тестовых последовательностей, обеспечивающих вычисление среднего значения переключательной активности схемы. Методы второго класса основаны на вычислении вероятностных характеристик сигналов на полюсах схемы.

Ключевые слова: проектирование схем с низким энергопотреблением, КМОП-технология, оценка рассеивания мощности, переключательная активность.

L. D. CHEREMISINOVA

MODELS AND ALGORITHMS FOR ESTIMATION OF AVERAGE POWER CONSUMED BY SEQUENTIAL CMOS CIRCUITS

*United Institute of Informatics Problems of the National Academy of Sciences of Belarus, Minsk, Belarus,
e-mail: cld@newman.bas-net.by*

The problem of estimation of the power consumed by the CMOS circuit with memory is considered with the use of the static and dynamic circuit analysis. The procedures of forming test sequences, which provide the calculation of the average circuit switching activity, underlie the first-type methods. The second-type methods are based on the calculation of the probability characteristics of the circuit nodes signals.

Keywords: low-power design, CMOS technology, power dissipation evaluation, switching activity.

Введение. Проектированию схем с малым энергопотреблением придается все большее значение в связи с тем, что рассеивание энергии становится камнем преткновения при дальнейшем повышении уровня интеграции, а также в связи с расширением рынка портативных устройств с автономным питанием, для которых очень важно увеличить время автономной работы без подзарядки. От величины потребляемой микросхемой мощности зависят такие важные параметры портативных устройств, как мощность источника питания, размер шин питания, требования к системе охлаждения, время разрядки аккумуляторной батареи, а, следовательно, и время работы мобильных систем без перезарядки батареи.

При обсуждении вопроса, какая энергия (мощность) затрачивается при работе микросхемы, понятия потребляемой и рассеиваемой мощности, как правило, считаются синонимами. В принципе, следует различать понятия энергии и мощности. Потребляемая микросхемой мощность зависит от тактовой частоты и может быть сокращена за счет ее уменьшения. Однако в этом случае на выполнение одних и тех же вычислений потребуется большее время, и соответственно расход мощности питающей батареи не уменьшится. Отсюда правильнее было бы говорить о важности снижения энергопотребления, а не потребляемой мощности. Учитывая, что далее можно считать, что тактовая частота проектируемой схемы неизменна, снижение потребляемой мощности означает и снижение энергопотребления.

Разработке методов и программных средств, помогающих проектировщику оптимизировать схемы по потреблению мощности, придается в настоящее время большое значение.

© Черемисинова Л. Д., 2016

Необходимыми составляющими этих средств являются программы оценки прогнозируемого энергопотребления схем в процессе их проектирования на разных этапах: не только на конечном – схмотехническом уровне (на уровне транзисторов), но и на более высоких – логическом и алгоритмическом. Это обусловлено тем, что в процессе оптимизации схем, например, на логическом уровне, проектировщику важно знать, как повлияет выбор того или иного варианта оптимизации и синтеза схем на потребление мощности результирующей схемой. Наличие средств прогнозной оценки даст возможность выбрать наиболее подходящие варианты оптимизации и избежать процедуры перепроектирования схемы.

На этапе логического проектирования одной из важных задач является быстрая оценка энергопотребления схемы с тем, чтобы оперативно оценивать варианты реализации цифровых схем в процессе их проектирования. Схмотехническое моделирование, давая близкие к реальным оценки потребления мощности схемой, достаточно трудоемко и имеет жесткие ограничения на сложность схем, подлежащих анализу. В связи с этим его целесообразно использовать на завершающем этапе проектирования, когда требуется с большой точностью определить характеристики схемы по энергопотреблению в разных режимах ее использования.

Для компонентов СБИС, выполненных по КМОП-технологии, около 80 % всей потребляемой мощности приходится на динамическую составляющую [1–5], порождаемую переключением сигналов на выходах узлов микросхемы, поэтому на логическом уровне энергопотребление может оцениваться переключательной активностью узлов схемы.

Известны два подхода к оценке энергопотребления схем [3–6]:

– методы, основанные на динамическом анализе, в основе которых лежит моделирование схем на тестовой последовательности входных воздействий;

– методы, основанные на статическом анализе, в основе которых лежит вычисление вероятностных характеристик сигналов на полюсах схемы.

Первый подход предполагает моделирование исследуемой схемы на множестве возможных сценариев ее функционирования (упорядоченных последовательностей наборов значений сигналов на ее входах). Для выполнения моделирования необходимо задать последовательность тестовых воздействий, которая позволит оценить потребление мощности схемы в заданном режиме ее работы. Для получения достоверной оценки энергопотребления необходимо рассмотреть большое число входных воздействий, что делает использование методов оценки энергопотребления на основе моделирования затруднительным для сложных схем. Кроме того, эти методы не годятся для использования в процессе проектирования схемы, когда ее окружение также еще не спроектировано или даже не определено. В этом случае практически ничего не известно о возможных ее входных воздействиях. В таких случаях оправдано использование статических методов, базирующихся на вероятностном подходе к определению переключательной активности сигналов. Эти методы основаны на вероятностных характеристиках входных сигналов и функционально-структурных свойствах исследуемой схемы, что обеспечивает компактное, но опосредованное описание последовательности входных воздействий.

В настоящей работе рассматривается задача вычисления оценки среднего значения потребляемой мощности в наиболее общей постановке – для схем с памятью. Рассматриваются следующие случаи: 1) имеется только описание схемы с памятью, вероятностные характеристики входных сигналов неизвестны; 2) имеется описание схемы с памятью и заданы вероятностные характеристики входных сигналов; 3) для схемы с памятью имеется автоматное описание и заданы вероятностные характеристики входных сигналов.

Соответственно этим случаям в данной работе рассматриваются подходы к оценке среднего потребления мощности на основе динамического и статического анализа поведения схем. В основе первого лежит моделирование схем на последовательности входных воздействий, второго – вычисление вероятностных характеристик сигналов на полюсах схемы.

1. Подходы к оценке среднего значения потребляемой мощности. При использовании для оценки потребления мощности методов на основе моделирования основная проблема заключается в определении априори статистически значимого числа стимулирующих воздействий, их

значений и порядка следования. Множество тестовых векторов может быть сгенерировано псевдослучайным способом или с помощью направленных методов.

Наиболее разработанным подходом к динамической оценке потребляемой мощности на основе моделирования является использование метода Монте-Карло [7–8]. Динамические методы, дающие достоверные оценки потребляемой мощности КМОП-схемой, с одной стороны, требуют исследования схемы на большом числе входных воздействий, что имеет результатом чрезмерное время выполнения, а с другой – достаточно точно позволяют оценить потребляемую мощность на заданном множестве тестовых воздействий. Таким образом, если подобрана достаточно представительная (для заданного применения тестируемой схемы) тестовая последовательность, то с помощью моделирования может быть получена достоверная оценка потребляемой мощности для тестируемой КМОП-схемы.

Таким образом, основной проблемой при динамической оценке потребляемой мощности является построение такой тестовой последовательности входных векторов, которая была бы типичной для штатного режима функционирования тестируемой схемы.

Вероятностный подход к определению переключательной активности сигналов, лежащий в основе статических методов оценки потребляемой мощности КМОП-схемой, основан на вероятностных характеристиках входных сигналов и функционально-структурных свойствах исследуемой схемы. Подход предполагает задание значений вероятностей переключения сигналов на входах схемы, которые отражают частоты смены значений соответствующих сигналов. Методы основаны на распространении вероятностной информации о смене значений сигналов через всю схему, от входов к выходам [9].

Вероятностные методы хотя и уступают методам на основе моделирования по степени соответствия реальному поведению схемы, однако позволяют достаточно просто оценить, как часто сигналы на выходах узлов схемы меняют свои значения, и использовать эту информацию для оценки динамической составляющей потребляемой мощности. Именно этот подход к оценке энергопотребления дает возможность сравнивать варианты реализации схемы в процессе ее проектирования, что уже на логическом уровне направляет процесс проектирования к получению схемы с низким энергопотреблением.

Большая часть энергии статических КМОП-схем потребляется во время зарядки и разрядки емкостной нагрузки. Вычисление переключательных активностей узлов для реальных схем весьма трудоемкая процедура, требующая учета множества факторов, возможных при функционировании схемы. Для того чтобы оценить потребление энергии логической схемой, достаточно вычислить переключательные активности ее внутренних полюсов.

Используемые в практике проектирования вероятностные оценки переключательной активности схемы выведены, как правило, в предположениях нулевой и ненулевой задержки сигнала узлами схемы [4, 5, 9]. Первые модели оценки предполагают, что все изменения на входах схемы распространяются через все ее элементы мгновенно и, значит, одновременно. Вторые модели оценок предполагают, что элементы схемы имеют конечные (но не нулевые) задержки, и принимают во внимание дополнительные переключения, которые не предусмотрены функцией, реализуемой узлом, и обусловлены переходными процессами, происходящими во время смены значений сигналов на входе до тех пор, пока узел не установится в конечное устойчивое состояние. Паразитные переходы часто возникают в тех точках схемы, где сходятся ветки схемы с разбалансированными по отношению друг к другу задержками относительно входа схемы. Переключения, обусловленные переходными процессами, также потребляют энергию, не выполняя при этом предусмотренных схемой вычислений. Первую компоненту энергопотребления, вызванную сменой значения на входе схемы и предписанную функцией, реализуемой узлом схемы, иногда называют функциональной активностью, а вторую – паразитной.

Использование моделей реальных задержек существенно повышает время вычисления оценок переключательной активности схемы, одновременно повышая их точность. В работе [10] показано, что отношение паразитного потребления мощности к суммарной потребляемой мощности меняется в достаточно широких пределах для разных схем (от 9 до 38 %) и особенно велико в некоторых специальных схемах обработки данных (например, в умножителях). Учитывая

трудоемкость вычисления реальной переключательной активности схемы, упомянутую погрешность вычислений можно считать допустимой, особенно в случае вычисления этих оценок для использования в процессе синтеза логической схемы.

Оценка переключательной активности некоторого i -го полюса схемы основана на вычислении его сигнальной вероятности p_i – вероятности появления на нем сигнала 1. При этом, как правило, предполагается, что для полюсов схемы имеет место пространственная и временная независимость [4, 9]. Первая предполагает отсутствие корреляции сигналов на разных полюсах. Она может возникать, когда пространственно связанные сигналы зависят друг от друга, что вызывается, например, наличием разветвлений на выходах элементов или обратных связей, но на практике между сигналами может существовать устойчивая зависимость, вызываемая и другими причинами. Вторая предполагает, что значение сигнала в любом такте синхронизации не зависит от его значений в предшествующих тактах.

В литературе предложено множество вероятностных методов оценки энергопотребления логических схем [11], основная масса из них применима только для комбинационных схем. Методы оценки энергопотребления сформулированы:

- относительно разных предположений о задержке сигналов узлами схемы (с нулевыми, единичными и реальными задержками);
- относительно разных предположений о возможности разных видов зависимостей между сигналами (пространственно независимыми и зависимыми);
- с учетом и без учета переходных процессов при смене сигнала и т. д.;
- с использованием разных статистических характеристик (вероятности появления сигнала 1, вероятности смены сигнала на полюсе, интенсивностей переключений сигналов – плотностей переключений сигналов, равновесных вероятностей, вероятностных форм сигналов и т. д.);
- с использованием разных моделей (на основе бинарных диаграмм решений (БДР, от англ. Binary Decision Diagram – BDD), коэффициентов корреляции).

Таким образом, статические методы оценки потребляемой мощности за счет использования аналитических приближенных методов и оценок позволяют значительно ускорить процесс получения оценки потребления мощности за счет уменьшения точности и могут быть использованы в процессе проектирования КМОП-схем.

Наряду с упомянутыми подходами развиваются гибридные методы, например вероятностного моделирования [12], в которых исходное задание последовательности наборов диаграмм входных сигналов заменяется вероятностными диаграммами входных сигналов. Вероятностная диаграмма представляет собой последовательность значений, задающих вероятности, с которыми сигнал принимает значение 1 для определенного интервала времени, а также вероятности смены его значения с 0 на 1 для определенных моментов времени. Вероятностная диаграмма входных сигналов позволяет вычислить усредненные диаграммы тока через узлы схемы за один шаг моделирования, по которым и определяется среднее энергопотребление элементов и схемы в целом.

2. Особенности оценки потребляемой мощности для схем с памятью. Большинство известных в литературе методов вычисления оценок рассеивания мощности предложены для случая комбинационных схем. Процедуры получения аналогичных оценок для последовательностных схем (с памятью) отличаются от процедур, предложенных для схем без памяти. Если в первой постановке задача оценки рассеивания мощности КМОП-схемой на основе динамического анализа сводится к поиску тестовой последовательности наборов входных сигналов, которые последовательно подаются на входы схемы, и в итоге к подсчету числа переключений значений сигналов на выходах элементов схемы, то во второй постановке, в случае последовательностных схем, приходится учитывать также и тот факт, что картина переключений существенно зависит от состояния, в которой схема находится перед подачей тестовой последовательности. Соответственно, в принципе, одна и та же тестовая последовательность наборов входных сигналов должна использоваться для моделирования последовательностной схемы столько раз, каково число возможных состояний элементов памяти. А оно равно 2^k , где k – число элементов памяти. При этом следует учитывать и тот факт, что начальные состояния элементов памяти должны соответство-

вать достижимым состояниям тестируемой последовательностной схемы (состояниям, которые возможны при функционировании).

Тестовая последовательность наборов для последовательностной схемы задается парой – начальное состояние элементов памяти последовательностной схемы и последовательность входных воздействий на схему, что представляется множеством $(s, x_1, x_2, \dots, x_i)$, где s – вектор значений внутренних переменных (соответствующих выходам элементов памяти), x_i – вектор значений входных сигналов, подаваемых на входы схемы на i -м такте ее работы. Вектор s имеет длину, равную числу триггеров в блоке памяти схемы, векторы x_i – длину, равную числу n входных полюсов схемы. Начальное состояние элементов памяти назначается самим проектировщиком либо выбирается случайным образом из числа достижимых состояний, либо находится с помощью алгоритмических средств [13–15]. Задается также число n -разрядных векторов тестовой последовательности (x_1, x_2, \dots, x_i) (верхняя граница которого 2^n). Векторы генерируются псевдослучайным образом.

3. Оценка среднего значения потребляемой мощности схем с памятью на основе моделирования. Случай 1. Рассмотрим случай, когда имеется только схема с памятью и ничего не известно о том, как (по какому закону) изменяются значения сигналов на ее входах. Как правило, в таком случае n -разрядные векторы, входящие в тестовую последовательность (x_1, x_2, \dots, x_i) , выбираются из булева пространства E^n мощности 2^n случайным образом. Качество оценки энергопотребления зависит от размера теста – чем он больше, тем точнее возможно оценить энергопотребление схемы.

Если условия использования устройства (характер входной последовательности сигналов) не оговорены, то наиболее эффективными будут псевдослучайные тесты или тесты полного перебора [16]. Тесты полного перебора включают в себя все упорядоченные пары входных наборов из булева пространства размерности n , такие, что смежные элементы в них будут представлены ровно по одному разу [17]. Размер такого теста $t = 2^n(2^n - 1) + 1$. Причем число тестовых наборов быстро возрастает с увеличением числа n входных полюсов схемы: для $n = 5, 6, 7, 8, 9, 10, \dots$ $t = 993, 4033, 16257, 65281, 261633, 1047553, \dots$ Очевидно, что для сложных схем единственным методом является метод случайного выбора заданного разумного числа тестовых наборов.

Недостаток такого подхода заключается в том, что при этом способе выбора тестовых векторов может получиться неравномерное покрытие ими пространства E^n возможных наборов значений сигналов на входе схемы. Более перспективным представляется выбор l тестовых векторов таким образом, чтобы они были равномерно распределены в булевом пространстве E^n .

Основная идея такого подхода – генерировать не псевдо-, а квазислучайную тестовую последовательность [18]. Квазислучайными, в отличие от псевдослучайных, называют равномерно распределенные последовательности, элементы которых не обладают свойством независимости, но имеют хорошую асимптотику, позволяющую использовать эти последовательности в методе Монте-Карло. Кроме того, такие последовательности позволяют достаточно равномерно охватить все пространство возможных векторов значений входных переменных для любого заданного размера l этой последовательности. Доказано, что квазислучайная последовательность равномерно распределена, каждое очередное значение тестового набора не зависит от предыдущих и, если все булево пространство из 2^n n -разрядных векторов разбить на равновеликие части, то в каждой из них окажется примерно одинаковое число векторов из построенной последовательности.

Для генерации квазислучайных тестовых последовательностей можно использовать метод построения одномерных последовательностей Соболя [18, 19], модифицированный И. А. Антоновым и А. М. Салеем [20].

Числа Соболя выбираются из интервала от 1 до 2 в степени минус 1. Если рассматриваются n -разрядные двоичные числа, то генерируются числа в интервале $[1, 2^n - 1]$. Одномерная последовательность Соболя [21] генерируется исходя из набора специальных n -разрядных булевых векторов, называемых направляющими числами: (v_1, v_2, \dots, v_n) , которые вычисляются на основе выбора некоторого примитивного (по модулю 2) полинома

$$x^s + a_1x^{s-1} + a_2x^{s-2} + \dots + a_{s-1}x + 1,$$

где $a_i \in \{0, 1\}$ – фиксированные коэффициенты. Многочлены определяются заданием степени s и вектора значений коэффициентов $a = (a_1, a_2, \dots, a_{s-1})_2$ ($a_i \in \{0, 1\}$).

Направляющие числа v_i определяются коэффициентами выбранного полинома. За каждый из n разрядов двоичного представления числа отвечает одно направляющее число: для v_k только k левых битов могут быть равны 1 и k -й разряд равен 1.

В качестве значений первых s направляющих чисел v_k могут быть выбраны числа $m_k/2^k$, где m_k – нечетное число, меньшее 2^k . Значения остальных направляющих чисел v_p (где $p > s$) находятся рекуррентно, через уже выбранные s чисел v_i и коэффициенты полинома:

$$v_p = a_1 v_{p-1} \oplus a_2 v_{p-2} \oplus \dots \oplus a_{s-1} v_{p-s+1} \oplus v_{p-s} \oplus v_{p-s}/2^s, \quad (1)$$

где \oplus – поразрядная операция дизъюнкция с исключением. При этом направляющее число v_{p-s} сдвигается вправо s битов, а затем выполняется поразрядная дизъюнкция с исключением с уже вычисленными несдвинутыми направляющими числами. Очередное k -е n -разрядное число, входящее в тестовую последовательность, генерируется в виде

$$\mathbf{x}_k = d_1 v_1 \oplus d_2 v_2 \oplus \dots, \quad (2)$$

где d_i – i -я справа цифра (0 или 1) в двоичном представлении числа $k = (\dots d_3 d_2 d_1)_2$, $d_i \in \{0, 1\}$ и через $(p)_2$ обозначено двоичное представление числа p .

Например, возьмем примитивный полином степени $s = 3$ с коэффициентами $a_1 = 0$, $a_2 = 1$:

$$x^3 + x + 1.$$

Если выбрать $v_1 = 1/2 = (0,1)_2$, $v_2 = 3/2^2 = (0,11)_2$, $v_3 = 7/2^3 = (0,111)_2$, то из формулы (1) могут быть вычислены и другие направляющие числа: $v_4 = (0,0101)_2$, $v_5 = (0,00111)_2$, $v_6 = (0,101011)_2$, $v_7 = (0,0110001)_2, \dots$

Имея значения направляющих чисел и используя формулу (2), можно вычислить элементы \mathbf{x}_i одномерной последовательности Соболя, например:

$$\begin{array}{llll} k = 0 = (0)_2 & \mathbf{x}_0 = 0, & k = 1 = (1)_2 & \mathbf{x}_1 = (0,1)_2, \\ k = 2 = (10)_2 & \mathbf{x}_2 = (0,11)_2, & k = 3 = (11)_2 & \mathbf{x}_3 = (0,1)_2 \oplus (0,11)_2 = (0,01)_2, \\ k = 4 = (100)_2 & \mathbf{x}_4 = (0,111)_2, & k = 5 = (101)_2 & \mathbf{x}_5 = (0,1)_2 \oplus (0,111)_2 = (0,011)_2, \\ k = 6 = (110)_2 & \mathbf{x}_6 = (0,11)_2 \oplus (0,111)_2 = (0,001)_2, & & \end{array} \quad (3)$$

что порождает следующую тестовую последовательность:

$$\mathbf{x} = \{100, 110, 010, 111, 011, 001\}.$$

Сложность вычисления элементов последовательности можно сократить, если использовать в (2) не двоичный код номера элемента последовательности, а код Грея. Тогда очередной элемент последовательности получается из предыдущего путем использования только одной операции дизъюнкция с исключением, так как соседние кодовые слова Грея i -е и $(i+1)$ -е отличаются только одним разрядом, а именно разрядом, номер которого равен номеру первой справа цифры 0 в двоичном представлении числа $(i)_2$. Например, $\mathbf{x}_2^g = 011$ и $\mathbf{x}_3^g = 010$ отличаются в разряде 1 (первая справа цифра 0 в двоичном представлении $(2)_2 = 010$ числа 2 также имеет номер 1).

При записи числа \mathbf{x}_k в коде Грея формула (2) заменится формулой

$$\mathbf{x}_k^g = g_1 v_1 \oplus g_2 v_2 \oplus \dots, \quad (4)$$

где \oplus – поразрядная операция дизъюнкции с исключением, g_i – i -я справа цифра (0 или 1) в коде Грея числа $k = (\dots k_3 k_2 k_1)_2$, ($k_i \in \{0, 1\}$), v_i – i -е направляющее число.

Используя свойство кода Грея, заключающееся в том, что $\text{gray}(k)$ and $\text{gray}(k+1)$ различаются в одном разряде, формулу (4) можно также расписать рекурсивно как

$$\mathbf{x}_0^g = 0,0, \quad \mathbf{x}_k^g = \mathbf{x}_{k-1}^g \oplus v_{c_{k-1}}, \quad k \geq 1, \quad (5)$$

где c_k – индекс первого справа нуля в двоичном представлении числа $k = (\dots k_2 k_1)_2$. Как видно из двоичных представлений чисел (3), значения индексов c_i изменяются следующим образом: $c_0 = 1$, $c_1 = 2$, $c_2 = 1$, $c_3 = 3$, $c_4 = 1$, $c_5 = 2$, и т. д.

Для заданной длины p кода множество значений индексов c_i получается рекурсивно [22]:

$$C_1 = \{1\}; \quad C_p = C_{p-1} \cup \{p\} \cup C_{p-1}, \quad p \geq 2.$$

Например, для $p = 5$ получается $C_5 = \{1, 2, 1, 3, 1, 2, 1, 4, 1, 2, 1, 3, 1, 2, 1, 5, 1, 2, 1, 3, 1, 2, 1, 4, 1, 2, 1, 3, 1, 2, 1\}$.

Следует отметить, что использование кодов Грея (вместо двоичных кодов) при построении последовательности И. А. Антоновым и А. М. Салеем [20], приводит к построению той же последовательности кодов, что и в последовательности Соболя, но только порядок их следования будет другим. Например, первые семь кодов тестовой последовательности (используя формулу (5), найденные выше направляющие числа и числа C_5) будут следующими: $\mathbf{x} = \{100, 010, 110, 001, 101, 011, 111\}$, исходя из $\mathbf{x}_1^g = (0,1)_2$, $\mathbf{x}_2^g = (0,1)_2 \oplus (0,11)_2 = (0,01)_2$, $\mathbf{x}_3^g = (0,01)_2 \oplus (0,1)_2 = (0,11)_2$, $\mathbf{x}_4^g = (0,11)_2 \oplus (0,111)_2 = (0,001)_2$, $\mathbf{x}_5^g = (0,001)_2 \oplus (0,1)_2 = (0,101)_2$, $\mathbf{x}_6^g = (0,101)_2 \oplus (0,11)_2 = (0,011)_2$, $\mathbf{x}_7^g = (0,011)_2 \oplus (0,1)_2 = (0,111)_2$.

Примитивные полиномы разных степеней и вычисленные значения направляющих чисел можно найти в открытом доступе [21]. Аналогично можно хранить уже найденные элементы квазислучайной последовательности, дополняя их, если понадобится. В работе [23] представлены направляющие числа (двоично-рациональные дроби в двоичной системе), позволяющие генерировать ЛП_l-последовательности Соболя для аппроксимирования интегралов размерностью до 1111. Данные направляющие числа генерируют ЛП_l-последовательности, удовлетворяющие свойству A . Однако двумерные проекции этих последовательностей могут иметь неудовлетворительные характеристики равномерности [21]. Приведенные в работе [23] ЛП_l-последовательности позволяют решить эту проблему. Полученная размерность – 21201. Компания «BRODA» [24], занимающаяся разработкой и распространением многомерных LDS-генераторов, предлагает разработанный проф. И. М. Соболев SobolSeq370 генератор, который генерирует последовательности для размерности – 370.

Таким образом, за основу алгоритма генерирования тестовой последовательности (x_1, x_2, \dots, x_l) n -разрядных векторов для оценки среднего значения потребляемой мощности схем взят метод генерации одномерных последовательностей Соболя, модифицированный И. А. Антоновым и А. М. Салеем. Для целей оценки рассеивания мощности схемой важным является порядок следования элементов тестовой последовательности, поэтому после получения квазислучайной последовательности ее элементы следует случайным образом переставить.

4. Оценка среднего значения рассеивания мощности на основе моделирования. Случай 2.

Рассмотрим случай, когда имеется схема с памятью и вероятностные характеристики входных сигналов. Для каждого входного сигнала x_i ($i \leq n$) задана сигнальная вероятность $p(x_i)$ – вероятность, с которой он принимает значение 1. Необходимо сгенерировать такую тестовую последовательность, вычисленные по которой значения вероятностей $p^*(x_i)$ отдельных входных сигналов совпадут (или будут близки) к заданным значениям $p(x_i)$.

В этом случае наиболее естественным методом генерации является следующий. Сначала генерируется псевдослучайная или квазислучайная последовательность наборов значений входных сигналов заданной длины l . Для каждого входного сигнала x_i подсчитывается число k_i^1 наборов тестовой последовательности, в которых он имеет единичное значение. Если $k_i^1/l < p(x_i)$, то случайным образом выбирается $\lfloor p(x_i)l - k_i^1 \rfloor$ (или $\lceil p(x_i)l - k_i^1 \rceil$) тестовых наборов, в которых i -я компонента имеет значение 0, и значение этой компоненты в выбранных наборах изменяется на 1. Выбранным случайным образом нулевым компонентам i -й строки присваивается значение 1. Аналогично для наборов, для которых имеет место $k_i^1/l > p(x_i)$, выбирается $\lfloor k_i^1 - p(x_i)l \rfloor$ (или $\lceil k_i^1 - p(x_i)l \rceil$) тестовых наборов, в которых i -я компонента имеет значение 1, и значение этой компоненты в выбранных наборах изменяется на 0.

5. Оценка среднего значения рассеивания мощности на основе вычисления вероятностных характеристик сигналов. Основной подход к вычислению оценки рассеивания мощности, как уже говорилось выше, основан на моделировании поведения схемы на заданной тестовой последовательности. Как правило, в случае последовательностных схем генерируется псевдослучайная тестовая последовательность входных сигналов, а в качестве начальных состояний

элементов памяти принимаются нулевые (это состояние, как правило, достижимо, если возможна инициализация состояний элементов памяти путем аппаратного сброса). Для того чтобы получить статистически значимую оценку рассеивания мощности при таких условиях, необходимо моделировать схему на достаточно большом числе тестовых воздействий, близком к $2^k 2^n$, где k – число элементов памяти, n – число входных полюсов схемы. В силу этого для последовательностных схем оправдано использование статических методов, в основе которых лежит вероятностный подход к определению переключательной активности сигналов. Методы основаны на вероятностных характеристиках входных сигналов и функционально-структурных свойствах исследуемой схемы, что позволяет задавать возможные последовательности входных воздействий опосредованно.

В литературе предлагаются разные вероятностные методы оценки переключательной активности логических схем [25]). Для вариантов оптимизации схемы на логическом уровне достаточно использовать простые оценки, выведенные в предположении временной и пространственной независимости сигналов на входах элементов схемы и основанные на следующей формуле подсчета переключательной активности полюса z_i схемы:

$$E(z_i) = 2 p_i (1 - p_i), \quad (6)$$

где p_i – сигнальная вероятность, определяемая средней долей тактов, на которых сигнал на полюсе z_i имеет значение 1. Сигнальные вероятности выходных сигналов простых элементов, типа инвертора, НЕ, И и ИЛИ с $n(e)$ входными полюсами могут быть подсчитаны по формулам

$$p_e^{-} = 1 - p_1; \quad p_e^{\wedge} = \prod_{i=1}^{n(e)} p_i; \quad p_e^{\vee} = 1 - \prod_{i=1}^{n(e)} (1 - p_i). \quad (7)$$

Если заданы сигнальные вероятности входных сигналов схемы, то они могут быть распространены на выходы элементов схемы и через всю схему на ее выходные полюсы (по формуле (7)), а затем подсчитаны переключательные активности всех полюсов схемы (по формуле (6)) и переключательная активность схемы в целом (в виде их суммы).

Немногочисленные известные методы вычисления вероятностей переключения значений сигналов элементов памяти основаны на использовании автоматной модели схемы с памятью – конечного автомата. При этом реализующее конечный автомат устройство рассматривается как комбинация двух взаимодействующих блоков: комбинационной схемы, реализующей некоторую систему булевых функций, – выходных и возбуждения элементов памяти, и блока элементов памяти – триггеров, на которых фиксируется очередное состояние устройства. Число состояний последовательностной схемы, содержащей k элементов памяти, равно 2^k .

Переключательная активность элементов памяти измеряется средним числом триггеров, изменяющих свое состояние за один такт (при одном переходе). Эта характеристика зависит от кодирования состояний автомата и от вероятностей нахождения схемы в заданных состояниях. Вероятности нахождения схемы в каждом из этих состояний (далее – вероятности состояний) неодинаковы. Для оценки переключательной активности КМОП-схем с памятью на основе вероятностного подхода необходимо задание вероятностей переключения значений сигналов не только на входных полюсах схемы (как для случая комбинационных схем), но и вероятностей переключения значений сигналов на выходных полюсах элементов памяти, которые можно определить, зная вероятности состояний.

В работе [26] предложен метод вычисления вероятностей состояний схемы, который основан на использовании уравнений Чепмена – Колмогорова для однородных марковских цепей. Этот подход, взятый за основу предлагаемого ниже метода вычисления сигнальных вероятностей линий обратной связи, применим для функционального задания схемы конечным автоматом и основан на решении системы линейных уравнений.

6. Оценка среднего значения рассеивания мощности на основе вычисления вероятностных характеристик сигналов. Случай 3. Рассмотрим случай, когда для последовательностной схемы заданы вероятностные характеристики входных сигналов (сигнальные вероятности $p(x_i)$) и известна исходная спецификация на проектирование схемы – автоматное описание последовательностной схемы.

Предполагается, что задан автомат с абстрактным внутренним состоянием, который описывается одной многозначной внутренней переменной $s = (s_1, s_2, \dots, s_k)$, а также входными $\mathbf{x} = (x_1, x_2, \dots, x_n)$ и выходными $\mathbf{y} = (y_1, y_2, \dots, y_m)$ булевыми переменными.

Автомат задан множеством переходов между его состояниями s_i , условия переходов представлены булевыми функциями от входных переменных (в таблице приведено описание поведения автомата, заимствованного из [27]). Заданы также сигнальные вероятности $p(x_i)$ входных переменных x_i автомата, требуется вычислить вероятности $p(s_i)$ нахождения автомата в каждом из его состояний s_i .

Текущее состояние s_i	Условие перехода f_{ij}	Следующее состояние s_j	Условная вероятность $p(f_{ij})$
1	2	3	4
s_1	$x_1 \vee x_2 x_3$ $\overline{x_1}(\overline{x_2} \vee \overline{x_3})$	s_2 s_5	5/8 3/8
s_2	x_2 $\overline{x_2}$	s_1 s_6	1/2 1/2
s_3	$\overline{x_3} \vee \overline{x_1} x_2$ $x_1 x_3$ $\overline{x_1} \overline{x_2} x_3$	s_1 s_4 s_6	5/8 1/4 1/8
s_4	$x_1 x_2 x_3$ $\overline{x_2} x_3$ $x_3 \vee \overline{x_1} x_2$	s_2 s_3 s_5	1/8 1/4 5/8
s_5	$\overline{x_1}$ x_1	s_3 s_5	1/2 1/2
s_6	$x_1 x_2 x_3$ $\overline{x_1} \vee \overline{x_2} \vee \overline{x_3}$	s_1 s_4	1/8 7/8

Предполагается, что автомат функционирует достаточно долго, каждый его активный переход срабатывает достаточно большое количество раз и что граф переходов автомата сильно связный, т. е. для любой пары состояний всегда найдется последовательность наборов значений входных сигналов, переводящих автомат из одного состояния в другое. При этих условиях граф переходов автомата удовлетворяет условиям марковских цепей и для вычисления вероятностей состояний автомата можно использовать уравнения Чепмена – Колмогорова.

Переход из состояния s_i в состояние s_j происходит тогда, когда функция $f_{ij}(\mathbf{x})$, представляющая условие для данного перехода, принимает значение 1. Вероятность такого перехода равна вероятности того, что функция f_{ij} примет значение 1. Эта вероятность называется условной вероятностью перехода из s_i в s_j и обозначается далее как $p(f_{ij})$. По таким вероятностям вычисляются абсолютные вероятности p_{ij} этих переходов:

$$p_{ij} = p(s_i) p(f_{ij}), \quad (8)$$

которые зависят от установившейся вероятности $p(s_i)$ нахождения автомата в состоянии s_i , откуда происходит переход, и от условной вероятности перехода $p(f_{ij})$.

Функция f_{ij} представляется в виде дизъюнктивной нормальной формы на множестве входных переменных, и ее условная вероятность $p(f_{ij})$ рассчитывается согласно (7). В четвертом столбце таблицы приведены значения $p(f_{ij})$ при $p(x_1) = p(x_2) = p(x_3) = 1/2$. Таким образом, в (8) заранее известны значения $p(f_{ij})$. Можно заметить, что сумма условных вероятностей переходов из каждого состояния s_i автомата равна единице, как и сумма вероятностей всех состояний:

$$\sum_j p(f_{ij}) = 1; \quad \sum_{i=1}^k p(s_i) = 1.$$

Вероятность нахождения автомата в некотором состоянии s_j зависит от вероятностей переходов в это состояние:

$$p(s_j) = \sum_{i=1}^k p_{ij} = \sum_{i=1}^k p(s_i) p(f_{ij}). \quad (9)$$

Очевидно, что (9) задает для рассматриваемого примера следующую систему линейных уравнений, связывающих искомые вероятности $p(s_i)$:

$$\begin{aligned} p(s_1) &= 1/2 p(s_2) + 5/8 p(s_3) + 1/8 p(s_6); \\ p(s_2) &= 5/8 p(s_1) + 1/8 p(s_4); \\ p(s_3) &= 1/4 p(s_4) + 1/4 p(s_5); \\ p(s_4) &= 1/4 p(s_3) + 7/8 p(s_6); \\ p(s_5) &= 3/8 p(s_1) + 5/8 p(s_4) + 1/2 p(s_5); \\ p(s_6) &= 1/2 p(s_2) + 1/8 p(s_3). \end{aligned} \quad (10)$$

Систему (10) можно решить методом Гаусса (или Крамера), основанным на приведении ее к виду с нулевой правой частью и целочисленными коэффициентами. В нашем случае получаются следующие значения вероятностей состояний автомата:

$$\begin{aligned} p(s_1) &= 0,1878, p(s_2) = 0,1326, p(s_3) = 0,1768, \\ p(s_4) &= 0,1215, p(s_5) = 0,2928, p(s_6) = 0,0884. \end{aligned} \quad (11)$$

7. Вычисление сигнальных вероятностей линий обратной связи блока памяти с комбинационной схемой. Для вычисления переключательной активности схемы с памятью необходимо знать не только сигнальные вероятности входных сигналов, но и сигнальные вероятности линий обратной связи блока триггеров, описываемых внутренними переменными z_i . Их значения существенно зависят от кодирования состояний автомата и их вероятностей $p(s_i)$.

Для каждой внутренней переменной z_p находятся все состояния s_i , в коде которых p -я компонента равна 1 (и 0). Сигнальная вероятность $p(z_p)$ (и $p(\bar{z}_p)$) равна сумме вероятностей выделенных состояний:

$$p(z_p) = \sum_{\text{код}_p(s_i)=1} p(s_i); \quad p(\bar{z}_p) = \sum_{\text{код}_p(s_i)=0} p(s_i). \quad (12)$$

Если коды состояний рассматриваемого выше автомата имеют значения: s_1 : 000, s_2 : 001, s_3 : 010, s_4 : 011, s_5 : 111, s_6 : 110, то, воспользовавшись формулой (12), можно получить следующие значения сигнальных вероятностей трех выходных полюсов блока памяти:

$$\begin{aligned} p(z_1) &= p(s_5) + p(s_6) = 0,3812; & p(\bar{z}_1) &= p(s_1) + p(s_2) + p(s_3) + p(s_4) = 0,6187; \\ p(z_2) &= p(s_3) + p(s_4) + p(s_5) + p(s_6) = 0,6795; & p(\bar{z}_2) &= p(s_1) + p(s_2) = 0,3204; \\ p(z_3) &= p(s_2) + p(s_4) + p(s_5) = 0,5469; & p(\bar{z}_3) &= p(s_1) + p(s_3) + p(s_6) = 0,4520. \end{aligned}$$

Следует заметить, что для вероятностей всех внутренних переменных должно выполняться (с учетом округления результатов при поиске корней системы (12)) условие: $p(z_p) + p(\bar{z}_p) = 1$. В то же время, произведя обратные вычисления вероятности состояний через вероятности кодирующих их переменных z_p , можно получить значения, которые не совпадут с подсчитанными значениями их вероятностей (см. (11)). Например, для состояния s_2 , закодированного кодом 001, имеем: $p^*(s_2) = p(\bar{z}_1) p(\bar{z}_2) p(z_3) = 0,1084$, в то время как $p(s_2) = 0,1326$. Разница обусловлена тем, что значения кодирующих переменных коррелируют. Однако для больших схем эта разница стано-

вится несущественной. После вычисления сигнальных вероятностей линий обратной связи переключательная активность комбинационного блока схемы с памятью вычисляется с использованием формул (6) и (7).

Заключение. Предложены подходы к оценке среднего значения потребляемой мощности для случая последовательностных схем при разных исходных данных. Рассмотрены случаи, когда для схемы с памятью задано и не задано автоматное описание; известны или не известны вероятностные характеристики входных сигналов.

Список использованной литературы

1. Рабаи, Ж. М. Цифровые интегральные схемы. Методология проектирования / Ж. М. Рабаи, А. Чандракасан, Б. Николич. – М.: Вильямс, 2007.
2. Уэйкерли, Дж. Проектирование цифровых устройств / Дж. Уэйкерли. – М.: Постмаркет, 2002. – Т. 1.
3. Benini, L. Logic Synthesis for Low Power / L. Benini, G. De Micheli; eds. S. Hassoun, T. Sasao, R.K. Brayton // Logic Synthesis and Verification. – Boston; Dordrecht; London: Kluwer Academic Publishers, 2002. – P. 197–224.
4. Pedram, M. Power Minimization in IC Design: Principles and Applications / M. Pedram // ACM Transactions Design Automation Electronic Systems. – 1996. – Vol. 1. – P. 3–56.
5. Roy, K. Low Power CMOS VLSI Circuit Design / K. Roy, S.C. Prasad. – N. Y.: John Wiley and Sons Inc., 2000.
6. Estimation of average switching activity in combinational and sequential circuits / A. Ghosh [et al.] // 29th ACM / IEEE Design Automation Conference, Tech. Dig., June 1992. – P. 253–259.
7. Monte Carlo approach for power estimation / R. Burch [et al.] // IEEE Transactions on VLSI Systems. – No 1 (1). – 1993. – P. 63–71.
8. Techniques for fast circuit simulation applied to power estimation of CMOS circuits / P. Buch [et al.] // Proc. of the Int. Symp. on Low Power Design. Dana Point, CA, 1995, April 23–26. – P. 135–138.
9. Najm, F. N. A survey of Power Estimation Techniques in VLSI Circuits / F. N. Najm // IEEE Trans. on VLSI. – 1994. – No 12. – P. 446–455.
10. Benini, L. Analysis of hazard contribution to power dissipation in CMOS IC's / L. Benini, M. Favalli, B. Risco // Proc. of the 1994 Int. Workshop on Low Power Design, April 1994. – P. 27–32.
11. Черемисинова, Л. Д. Оценка энергопотребления КМОП-схем на логическом уровне / Л. Д. Черемисинова // Информ. технологии. – 2010. – № 8. – С. 27–35.
12. Najm, F. Probabilistic simulation for reliability analysis of CMOS VLSI circuits / F. Najm [et al.] // IEEE Trans. on Computer-Aided Design. – 1990. – Vol. 9. – No 4. – P. 439–450.
13. Rene, D. Random testing of digital circuits. Theory and application / D. Rene. – Marcel Dekker, Inc. 1998.
14. Bushnell, M. L. Essentials of electronic testing for digital, memory and mixed-signal VLSI circuits / M. L. Bushnell, V. D. Agrawal. – Kluwer Academic Publishers, 2002.
15. Черемисинова, Л. Д. Поиск кратчайшей установочной последовательности схемы с памятью на D-триггерах / Л. Д. Черемисинова // Вес. Нац. акад. наук Беларусі. Сер. фіз.-мат. навук. – 2015. – № 3. – С. 119–128.
16. Бибило, П. Н. Оценка энергопотребления логических КМОП-схем по их переключательной активности / П. Н. Бибило, Н. А. Кириенко // Микроэлектроника. – 2011. – Т. 40, № 6. – С. 1–14.
17. Закревский, А. Д. Минимизация перебора ориентированных пар / А. Д. Закревский // Танаевские чтения: докл. Четвертой Междунар. науч. конф., Минск, 29 – 30 марта 2010 г. – Минск, 2010. – С. 58–62.
18. Соболев, И. М. Равномерно распределенные 1 последовательности с дополнительным свойством равномерности / И. М. Соболев // Журн. вычисл. математики и мат. физики. – 1976. – № 16. – С. 1332–1337.
19. Niederreiter, H. Random number generation and quasi-Monte Carlo methods / H. Niederreiter // Society for industrial and applied mathematics. – 1992.
20. Антонов, И. А. Экономичный способ вычисления ЛПТ-последовательностей / И. А. Антонов, А. М. Салеев // Журн. вычисл. математики и мат. физики. – 1979. – № 19. – С. 243–245.
21. Joe, S. Constructing Sobol sequences with better two-dimensional projections / S. Joe, F. Y. Kuo // SIAM J. Sci. Comput. – 2008. – Vol. 30. – P. 2635–2654.
22. Bultena, B. Transition Restricted Gray Codes / B. Bultena, F. Ruskey // The Electronic Journal of Combinatorics. – 1995 – No. 16.
23. Joe, S. Remark on Algorithm 659: Implementing Sobol's quasirandom sequence generator / S. Joe // ACM Trans. Math. Softw. – 2003. – Vol. 29. – P. 49–57.
24. Broda [Электронный ресурс]. – Режим доступа: <http://www.broda.co.uk>. – Дата доступа 10.04.2015.
25. Черемисинова, Л. Д. Оценка энергопотребления КМОП-схем на логическом уровне / Л. Д. Черемисинова // Информ. технологии. – 2010. – № 8. – С. 27–35.
26. Power Estimation Methods for Sequential Logic Circuits / C.-Y. Tsui [et al.] // IEEE Trans. on Very Large Scale Integration Systems). – 1995. – Vol. 3, no. 3.
27. Закревский, А. Д. Алгоритмы энергосберегающего кодирования состояний автомата / А. Д. Закревский // Информатика. – 2011. – № 1.

Поступила в редакцию 04.05.2016