

ІНФАРМАТЫКА

УДК 681.325

*Н. А. КИРИЕНКО, Д. И. ЧЕРЕМИСИНОВ, Л. Д. ЧЕРЕМИСИНОВА***ОПТИМИЗАЦИЯ МНОГОУРОВНЕВЫХ ПРЕДСТАВЛЕНИЙ ЛОГИЧЕСКИХ СХЕМ
ДЛЯ СОКРАЩЕНИЯ ПЛОЩАДИ КРИСТАЛЛА СБИС И ЭНЕРГОПОТРЕБЛЕНИЯ***Объединенный институт проблем информатики НАН Беларуси**(Поступила в редакцию 15.04.2015)*

Введение. Успехи в области микроэлектроники позволили размещать на одном кристалле СБИС миллионы транзисторов, работающих на большой синхрочастоте. Однако наряду с огромными возможностями, которые открывают для электронных изделий эти достижения, они также порождают и серьезные проблемы, связанные с рассеянием мощности. Эти вопросы не могут быть проигнорированы, так как требуются все более эффективные изделия для различных сфер применения, способные работать длительное время без подзарядки батареи питания и имеющие наряду с этим низкую стоимость. В последние годы фактор минимизации энергопотребления при проектировании интегральных схем стал играть такую же значимую роль, как площадь и быстродействие. Обычно при проектировании электронных устройств приходится добиваться максимального сокращения площади кристалла при ограниченном потреблении электроэнергии. Снижение энергопотребления проектируемой схемы может обеспечиваться на разных уровнях логического проектирования, при этом чем на более раннем этапе это происходит, тем важнее и результативнее получать на нем более качественные решения. В частности, на логическом уровне (за счет построения удачной логической структуры) можно достичь сокращения энергопотребления на 10–20 % без ущерба для быстродействия и сложности схемы [1].

Большинство современных методов и систем проектирования делят процесс логического синтеза на две независимые стадии [2]: технологически независимую оптимизацию и технологическое отображение. Задачей первой является построение и оптимизация многоуровневой схемы в базисе элементов, не обязательно привязанных к конкретной библиотеке СБИС, – вентилях одного или нескольких типов (обычно И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ). Результатом выполнения этого этапа является оптимизированная многоуровневая сеть в выбранном базисе вентилях. Цель этапа заключается в построении такого варианта представления схемы, который мог бы служить хорошей отправной точкой для этапа технологического отображения. Существует два основных подхода [2] к выбору базисных элементов при синтезе многоуровневой сети на этапе технологически независимой оптимизации:

– технологически независимый – технологический базис при синтезе никак не учитывается (обычно используется однородный базис 2И-НЕ или 2ИЛИ-НЕ);

– технологически обусловленный – синтез ведется из многовходовых вентилях (с разным числом входов), входящих в состав элементов технологического базиса.

В настоящей работе приводятся результаты сравнительного исследования влияния разных подходов к синтезу многоуровневой сети на площадь и энергопотребление (под которым понимается далее среднее значение рассеиваемой мощности) схемы из элементов КМОП библиотеки. Исследуются два метода построения многоуровневой логической схемы из вентилях, в основе которых лежит выбор технологически независимого или технологически обусловленного базиса

элементов. При этом многоуровневые логические схемы из двух- и многоходовых вентилях, реализующие одну и ту же систему булевых функций, покрываются элементами одной и той же КМОП библиотеки. Показано, что учет особенностей используемой КМОП библиотеки на этапе технологически независимой оптимизации позволяет получить существенный выигрыш в площади и энергопотреблении КМОП-схемы.

1. Оценка вариантов оптимизации схемы по прогнозируемому рассеиванию мощности.

Проблема оценки энергопотребления статических КМОП-схем (по сравнению с динамическими) заключается в том, что компоненты СБИС, выполненные по этой технологии, потребляют подавляющую часть необходимой для их функционирования энергии во время переключения [1, 3, 4]. В типичных КМОП-цепях от 60 до 80 % всей рассеиваемой мощности приходится на ее динамическую составляющую [5], порождаемую нестационарным поведением узлов схемы. Согласно упрощенной модели, энергия рассеивается КМОП-микросхемой всякий раз, когда изменяется сигнал на ее выходе. Отсюда следует, что более активные в переключательном плане КМОП-схемы рассеивают больший объем энергии. Таким образом, рассеивание мощности существенно зависит от переключательной активности элементов схемы, а она, в свою очередь, определяется последовательностью подаваемых входных воздействий на КМОП-схему, т. е. динамикой функционирования.

На логическом уровне, когда схемы еще нет и часто неизвестен даже технологический базис, в котором она будет реализована, рассеивание мощности может быть снижено путем такого преобразования схемы, которое обеспечивает уменьшение ее переключательной активности без изменения функциональности [1, 6]. Для оценки предпочтительности вариантов оптимизации схемы на логическом уровне может быть использовано количественное изменение переключательной активности результирующей схемы при выборе этих вариантов. Такой подход к оценке рассеивания мощности дает возможность сравнивать варианты реализации схемы в процессе ее проектирования, что позволяет уже на логическом уровне проектировать схемы, потенциально имеющие низкое рассеивание мощности.

В основе методов оценки переключательной активности лежит подход, основанный на вероятностных характеристиках входных сигналов и функционально-структурных свойствах исследуемой схемы [7]. Он предполагает задание вероятностей переключения сигналов на входных полюсах схемы, которые отражают частоту смены значений сигналов и используются для вычисления вероятностей переключения сигналов на выходах узлов схемы. В литературе предлагается множество вероятностных методов оценки энергопотребления логических схем [1, 3, 4, 6, 7, 8]. Для оценки вариантов оптимизации схемы достаточным представляется использование простых, сравнительно быстро вычисляемых оценок изменения переключательной активности, в основе которых лежат следующие предположения:

1) изменения на входах схемы распространяются через все ее элементы мгновенно, а значит, все переходы в схеме происходят одновременно;

2) для каждого входного полюса узла имеет место временная независимость, предполагающая, что значение сигнала в любом такте синхронизации не зависит от его значений в предшествующих тактах;

3) входные полюсы узла пространственно независимы, что означает отсутствие корреляции значений сигналов на них (это может быть вызвано, например, наличием разветвлений на выходах элементов или обратных связей).

Различают вероятность появления сигнала 1 (или 0) на некотором полюсе схемы и вероятность смены значения сигнала на этом полюсе. Вероятность появления сигнала 1 на i -м полюсе схемы называется сигнальной вероятностью p_i и определяется средней долей тактов, на которых сигнал на i -м полюсе имеет единичное значение. Вторая вероятность $p_i^{1 \rightarrow 0}$ (или $p_i^{0 \rightarrow 1}$) есть вероятность смены значения сигнала с 1 на 0 (или с 0 на 1) и определяется средней долей тактов, на которых сигнал на i -м полюсе меняет свое значение по сравнению со значением в предшествующем такте. При сделанных предположениях значение $p_i^{1 \rightarrow 0}$ ($p_i^{0 \rightarrow 1}$) равно произведению вероятности появления на i -м полюсе сигнала 1 (0) в одном такте на вероятность того, что в следующем такте на нем появится 0 (1).

Соответственно переключательная активность полюса z_i схемы равна $E(z_i) = p_i^{1 \rightarrow 0} + p_i^{0 \rightarrow 1}$ или (в предположении, что $0 < p_i < 1$)

$$E(z_i) = 2 p_i (1 - p_i). \quad (1)$$

Например, если сигнальная вероятность p_e полюса e равна 0,2, то переключательная активность этого полюса $E(e) = 0,32$; или, если $p_e = 0,5$, то $E(e) = 0,5$.

Вероятность p_e появления сигнала 1 на выходе элемента e существенно зависит от вероятностных характеристик p_i сигналов на его входах и от функции, реализуемой этим элементом. Если сигналы на входах элемента не коррелируют в пространстве и времени, то сигнальные вероятности на выходе простых элементов НЕ, И, ИЛИ, И-НЕ, ИЛИ-НЕ с $n(e)$ входными полюсами подсчитываются, исходя из таблиц истинности реализуемых ими функций:

$$p_e^{\neg} = 1 - p_1; \quad p_e^{\wedge} = \prod_{i=1}^{n(e)} p_i; \quad p_e^{\vee} = 1 - \prod_{i=1}^{n(e)} (1 - p_i); \quad p_e^{\hat{}} = 1 - \prod_{i=1}^{n(e)} p_i; \quad p_e^{\bar{\vee}} = \prod_{i=1}^{n(e)} (1 - p_i). \quad (2)$$

Аналогично могут быть вычислены сигнальные вероятности на выходе более сложных элементов библиотеки. Если заданы сигнальные вероятности входных сигналов схемы, то они могут быть распространены на выходы элементов схемы и через всю схему на ее выходные полюсы. Таким образом, могут быть подсчитаны переключательные активности всех полюсов схемы и соответственно переключательная активность схемы в целом как сумма переключательных активностей всех ее полюсов. Следует заметить, что если даже требование пространственной (и временной) независимости выполняется для входных сигналов схемы, оно может не иметь места для входных сигналов внутренних элементов схемы (как результат наличия разветвлений на выходах элементов и линий обратной связи). В этом случае вычисленные по формулам (1), (2) вероятности имеют погрешность. Однако для сравнительной оценки вариантов оптимизации достаточно, как правило, ограничиться этими простыми оценками, не прибегая к более точным, но гораздо более трудоемко вычисляемым оценкам.

2. Логический синтез в базисе библиотечных элементов. Библиотечный базис КМОП СБИС содержит широкий спектр различных логических элементов, среди которых центральное место занимает комбинационная логика: элементы И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ на разное число входов. Например, в базисе [9] имеются элементы на 2, 3, 4 (иногда и 6, 8) входа, а также элементы, представляемые древообразными схемами (из вентилях И, ИЛИ) с числом входов не более 4 и числом уровней 2–4. Сложность (цена) библиотечного элемента характеризуется числом транзисторов (или базовых ячеек) его микросхемы. Это число прямо связано с площадью, занимаемой элементом на кристалле.

Синтез комбинационных многоуровневых сетей есть процесс представления системы логических уравнений в базисе элементов технологической библиотеки, каждый из которых имеет свои функциональные и физические характеристики. В большинстве систем проектирования процесс логического синтеза делится на две стадии: технологически независимую оптимизацию и технологическое отображение. Такие многоуровневые подходы к решению сложных проблем характерны для всех систем автоматизации, что обуславливается трудностями одновременного решения этих проблем.

Первая стадия синтеза ориентирована на оптимизацию и декомпозицию логики, а вторая – на реализацию полученного функционального описания в заданном технологическом базисе. Основной подход к решению задачи технологического отображения базируется на покрытии объектной сети подсхемами, реализующими библиотечные элементы. Под покрытием понимается разбиение объектной схемы на подсхемы, реализуемые библиотечными элементами. Существующие в литературе методы покрытия разделяются на функциональные и структурные [2]. Последние обладают большим быстродействием, стали де-факто стандартом при проектировании СБИС с помощью САПР и хорошо подходят для отображения схем в базис элементов КМОП библиотеки. При структурном покрытии задача технологического отображения сводится к оптимизации покрытия ориентированного ациклического графа, задающего исходную объектную сеть, ациклическими

подграфами, задающими структуры библиотечных элементов в том же вентиляльном базисе, что и покрываемая сеть.

Такой подход не предполагает кардинальной перестройки схемы, полученной на этапе технологически независимой оптимизации, а отсюда следует, что качество искомого покрытия существенно зависит от структуры объектной многоуровневой сети. Просчеты, допущенные при ее синтезе, не могут быть компенсированы в полной мере на этапе технологического отображения, поэтому в существующих САПР большое внимание уделяется этапу технологически независимой оптимизации и декомпозиции реализуемого описания в объектную сеть.

В настоящей работе для технологического отображения многоуровневых схем используется программа [10, 11], входящая в состав системы синтеза последовательных схем [12]. Для проведения исследований она была настроена на базис элементов КМОП библиотеки, характеристики которых приведены в табл. 1.

Таблица 1. Элементы КМОП библиотеки

Библиотечные элементы	Число				Схемы элементов
	входных полюсов	входных полюсов всех вентиляей	транзисторов микросхемы	ярусов древообразной структуры	
НЕ	1	1	2	1	
И-НЕ, ИЛИ-НЕ NA, NA3, NA4 NO, NO3, NO4	2, 3, 4	2, 3, 4	4, 6, 8	2	
И, ИЛИ A, A3 O, O3	2, 3	2, 3	6, 8	1	
ЗИ-2ИЛИ-НЕ ЗИЛИ-2И-НЕ NOA3 NAO3	4	5	8	3	
2-2И-2ИЛИ-НЕ 2-2ИЛИ-2И-НЕ NOAA NAOO	4	6	8	3	
2И-3ИЛИ-НЕ 2ИЛИ-3И-НЕ NO3A NA3O	4	5	8	3	
2-2И-3ИЛИ-НЕ 2-2ИЛИ-3И-НЕ NO3AA NA3OO	5	7	10	3	
ЗИ-3ИЛИ-НЕ ЗИЛИ-3И-НЕ NO3A3 NA3O3	5	6	10	3	

3. Оптимизация многоуровневых логических схем. Технологически независимая оптимизация, используемая в системах логического проектирования микроэлектронных устройств, включает в себя, как правило, в качестве первого этапа минимизацию функций реализуемых логических описаний в классе дизъюнктивных нормальных форм (ДНФ). Выполнение этого этапа обусловлено тем, что минимизация позволяет сократить исходное задание (иногда довольно существенно). Минимизация функционального описания на этом этапе ведется с учетом фактора сложности (по Квайну) и рассеивания мощности (минимизируется переключательная активность соответствующей двухуровневой схемы). В настоящей работе для минимизации используется программа [13], реализующая модифицированный метод ESPRESSO [14].

Минимизированная система ДНФ, представляемая двухуровневой схемой, декомпозируется далее в объектную многоуровневую сеть из одного или нескольких типов вентилях из множества И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ. Синтез многоуровневой логической схемы из вентилях непосредственно следует за минимизацией булевых функций в классе ДНФ и предшествует синтезу логической схемы из библиотечных элементов, выполненных по КМОП-технологии. Цель этапа заключается в том, чтобы построить такой вариант представления схемы из вентилях, который мог бы служить хорошей отправной точкой для этапа технологического отображения в базис библиотечных элементов, при этом в качестве количественных оценок эффективности проектирования используется суммарное число входных полюсов вентилях и суммарная переключательная активность полюсов схемы.

Существуют разные подходы к выбору базовых вентилях при синтезе многоуровневой схемы. Выбор базиса обычно определяется используемыми алгоритмами оптимизации и технологического отображения. Так, в системе MIS [15] базис состоит из 2И-НЕ и НЕ, в системе DAGON [16] – из 2И-НЕ, 3И-НЕ, 4И-НЕ, в методах [17–19] исходная комбинационная или последовательная схемы декомпозируются в схему их двухвходовых элементов.

Использование минимального числа базовых вентилях за счет их простоты (например, 2И-НЕ), как это принято в ряде известных САПР (например, MIS [11, 15], SIS [12], ABC), ведет к повышению гранулярности логической сети, а значит, в общем случае может повысить и качество ее покрытия библиотечными элементами за счет увеличения числа вариантов покрытия. Однако в случае КМОП-базиса это преимущество может приводить к потере эффективности методов структурного покрытия при технологическом отображении.

Для случая КМОП библиотеки более привлекательным представляется выбор технологически обусловленного базиса базовых вентилях [20]. В качестве базовых выбираются вентилях, входящие в состав библиотечных элементов технологического базиса.

Если проанализировать состав КМОП библиотеки (см. табл. 1), то можно заметить, что структуры всех сложных элементов могут быть представлены схемами из чередующихся вентилях И и ИЛИ. Это значит, что простое представление многоместных функций И или ИЛИ в виде композиции двухместных может не дать новых возможностей для покрытия. Поэтому для рассматриваемого технологического базиса целесообразно выбрать в качестве базовых вентилях НЕ, И и ИЛИ с ограниченным числом входов, не большим максимального числа входов вентилях (И-НЕ, ИЛИ-НЕ) этой библиотеки.

Основным используемым во многих САПР методом решения задачи декомпозиции получаемых после минимизации систем ДНФ является алгебраическая декомпозиция [21], в основе которой лежит построение факторизованных форм (или факторизованных ДНФ) путем поиска факторов – общих частей конъюнкций или дизъюнкций ДНФ-системы. Факторизованная форма по сути является алгебраической формой задания многоуровневого представления ДНФ. Специальный термин вводится для обозначения того факта, что заданная система логических уравнений подготовлена для многоуровневой реализации, т. е. удовлетворяет требованиям, накладываемым технологическим базисом, в котором предполагается реализовать описываемое ею устройство управления. Преобразование исходной минимизированной системы ДНФ в факторизованную форму, которой соответствует многоуровневая реализация из вентилях с ограниченным числом входов, разбивается в работе [22] на два этапа:

– совместная нетривиальная факторизация системы ДНФ: выделяются факторы (конъюнкции или ДНФ), которые имеют длину (число литералов) не более максимальных чисел входов n_{\max} и m_{\max} вентилях И и ИЛИ, и входят в не менее чем в n_{dl} выражений (конъюнкции или дизъюнкций);

– построение скобочных выражений ДНФ независимо для каждой из функций системы основано на итеративном вынесении общих литералов конъюнкций заданной ДНФ D за скобки, т. е. на декомпозиции $D = k(A) + B$, где D , A и B – ДНФ (дизъюнкции некоторого множества конъюнкций), а k – конъюнкция, состоящая из некоторого множества литералов, общих для всех конъюнкций из A .

Значения настраиваемых параметров n_{\max} , m_{\max} и n_{dl} для выполнения совместной нетривиальной факторизации выбираются исходя из параметров того технологического базиса КМОП-элементов, в который будет переводиться полученная И-ИЛИ схема. Значения n_{\max} , m_{\max} целесообразно выбрать такими, чтобы они не были больше числа входных полюсов вентилях И и ИЛИ, образующих структуры библиотечных элементов. Для используемой КМОП библиотеки (см. табл. 1) такими значениями могут быть $n_{\max} \leq 4$, $m_{\max} \leq 4$. Значение параметра n_{dl} задает степень «совместности» выбираемых факторов: минимальное число выражений, в которые должен входить фактор. Рекомендуемое значение $n_{dl} \geq 2$. В результате выполнения этапа совместной нетривиальной факторизации получается многоуровневая И-ИЛИ схема (с использованием инверторов), в которой могут оставаться элементы с числом входных полюсов, которое превышает максимум числа входов вентилях, диктуемый технологическим базисом.

В результате выполнения второго этапа (построения скобочных выражений ДНФ) получается многоуровневая И-ИЛИ схема (с использованием инверторов), в которой все элементы имеют число входных полюсов, не превышающее максимума числа входов вентилях, которое диктуется технологическим базисом.

Ключевым вопросом при выполнении обоих этапов является вопрос оценки стоимостного и энергосберегающего качества вариантов выбора фактора и переменной, по которой ведется разложение. Предложенные в работе [22] оценки вариантов имеют целью оптимизацию логической структуры многоуровневой схемы из вентилях, чтобы добиться минимизации ее сложности (по Квайну) и уменьшения интенсивности переключений сигналов на ее полюсах.

4. Результаты экспериментального исследования. Проводилось сравнительное исследование влияния на площадь и среднее значение рассеиваемой мощности схемы из элементов КМОП библиотеки двух различных подходов к построению многоуровневой логической схемы из вентилях, в основе которых лежит выбор технологически независимого и технологически обусловленного базиса элементов. Использовались три процедуры построения многоуровневой логической схемы, исходя из двухуровневой И-ИЛИ схемы, которая была получена после минимизации системы булевых функций. Эти процедуры основываются на сочетании следующих преобразований минимизированной системы ДНФ:

1) декомпозиции двухуровневой И-ИЛИ схемы в объектную сеть из двухвходовых вентилях 2И-НЕ;

2) алгебраической декомпозиции в объектную сеть из вентилях И и ИЛИ с ограниченным числом входных полюсов;

3) совместной нетривиальной факторизации системы ДНФ.

Исследования подходов к построению многоуровневой логической схемы из вентилях производились следующим образом.

1. В качестве тестовых примеров использовались системы ДНФ из набора [23] и более сложные системы ДНФ, сгенерированные случайным образом. Сигнальные вероятности входных сигналов принимались равными 0,5, т. е. появление сигнала 0 или 1 на входе считалось равновероятным.

2. Система булевых функций, заданная каждым тестовым примером, подвергалась минимизации в классе ДНФ с помощью модифицированной программы ESPRESSO [13], включенной в программный комплекс проектирования цифровых интегральных КМОП-микросхем с пониженным энергопотреблением [24].

3. Для каждого примера по минимизированной системе ДНФ строились три схемы из элементов КМОП библиотеки (см. табл. 1). Методы их синтеза различались выполнением этапа технологически независимой оптимизации – построением многоуровневой схемы из вентилях, покрытие которой производилось с помощью одной и той же программы [10, 11], входящей в состав системы SIS-синтеза последовательных схем [12]. Программа предварительно была настроена на отечественную КМОП библиотеку (см. табл. 1).

4. Переключательная активность схемы из библиотечных элементов вычислялась как сумма переключательных активностей всех ее полюсов, т. е. переключательных активностей входных полюсов всех элементов плюс переключательные активности выходных полюсов схемы. Сложность схемы оценивалась числом транзисторов, входящих в микросхемы всех ее библиотечных элементов.

5. Первая из исследуемых процедур синтеза многоуровневой схемы из вентилях, покрываемой далее элементами выбранной КМОП библиотеки, состояла в декомпозиции двухуровневой И-ИЛИ схемы, полученной после минимизации системы булевых функций, в объектную сеть из двухвходовых вентилях 2И-НЕ. Декомпозиция производилась с помощью программы [10].

6. Вторая из исследуемых процедур синтеза многоуровневой схемы из вентилях состояла в декомпозиции двухуровневой И-ИЛИ схемы в объектную сеть из многовходовых вентилях И и ИЛИ (с использованием инверторов). Использовалась алгебраическая декомпозиция [22], базирующаяся на построении факторизованных форм. Метод основан на совместной нетривиальной факторизации системы ДНФ и построении скобочных выражений ДНФ каждой из функций. Настраиваемыми параметрами программы (входящей в программный комплекс [24]) являются ограничения на число n_{\max} и m_{\max} входных полюсов элементов И и ИЛИ и минимальное число n_{dl} выражений, для которых формируется фактор на этапе совместной нетривиальной факторизации системы ДНФ. Исследование проводилось для следующих значений указанных параметров: $n_{\max} = m_{\max} = 4$, $n_{dl} = 2$. В результате получалась многоуровневая И-ИЛИ (с использованием инверторов) сеть, в которой все элементы имеют число входных полюсов, не превышающее максимума числа входов вентилях, диктуемого технологическим базисом.

7. Третья из исследуемых процедур синтеза многоуровневой схемы из вентилях состояла в декомпозиции двухуровневой И-ИЛИ схемы в объектную сеть из многовходовых вентилях И и ИЛИ, получаемую следующим образом. Сначала производилась совместная нетривиальная факторизация системы ДНФ, использовались те же значения настраиваемых параметров, что и во втором подходе: $n_{\max} = m_{\max} = 4$, $n_{dl} = 2$. В результате получалась многоуровневая И-ИЛИ (с использованием инверторов) сеть, в которой могли оставаться элементы с числом входных полюсов, которое превышает максимум числа входов вентилях, диктуемый технологическим базисом. Полученная схема преобразовывалась в объектную сеть из двухвходовых вентилях 2И-НЕ с помощью метода [10], используемого в первом подходе.

Исследования проводились на компьютере с процессором Intel i5-2400@3,1 GHz и оперативной памятью 2,99 ГБ. Результаты экспериментов приведены в табл. 2: в столбце 1 – имена тестовых примеров, в столбце 2 – их характеристики (число входных и выходных переменных, а также элементарных конъюнкций.) Тестовые примеры задаются значениями двух матриц: троичной – для задания элементарных конъюнкций входных переменных, булевой – для задания выходных функций системы ДНФ в виде дизъюнкции элементарных конъюнкций.

Для каждого тестового примера указаны следующие параметры результирующих схем:

- переключательная активность p схемы;
- сложность s схемы;
- время t построения схемы в секундах.

Перед построением многоуровневой логической схемы из вентилях выполняется минимизация системы булевых функций в классе ДНФ, в результате чего получается описание двухуровневой И-ИЛИ схемы, качество которой также оценивается параметрами p , s , t (столбцы 3–5).

Для каждого примера строились три варианта схем из элементов КМОП библиотеки, полученных после перевода в технологический базис результатов выполнения процедур 1–3.

Таблица 2. Результаты экспериментального исследования различных подходов к построению многоуровневой логической схемы из вентиляей

Пример	Характеристики схем	Минимизация ESPRESSO			Синтез многоуровневой сети в базисе элементов КМОП библиотеки								
					процедура 1			процедура 2			процедура 3		
		<i>p</i>	<i>s</i>	<i>t</i>	<i>p</i>	<i>s</i>	<i>t</i>	<i>p</i>	<i>s</i>	<i>t</i>	<i>p</i>	<i>s</i>	<i>t</i>
1	2	3	4	5	6	7	8	9	10	11	12	13	14
br1	12, 8, 34	108	279	<1	141,34	668	3	54,11	386	6	56,3	392	2
br2	12, 8, 35	78,5	212	<1	115,04	526	2	48,29	348	4	52,48	356	1
in0	15, 11, 138	448,5	1118	<1	438,03	1956	2	229,2	1508	5	234,3	1516	3
in2	19, 10, 137	596,5	1469	<1	451,38	2040	4	248,37	1726	5	254,67	1726	3
mlp4	8, 8, 256	396	979	<1	324,68	1418	3	255,79	1406	6	260,92	1400	3
root	8, 5, 256	150	393	<1	155,84	672	3	141,55	692	5	145,02	704	3
tms	8, 16, 30	108,5	471	<1	302,98	1276	3	139,1	916	5	151,54	940	2
z9sym	9, 1, 420	258,00	602	<1	160,31	678	2	136,72	702	5	140,1	680	2
GenP1	20, 4, 50	315,5	739	<1	548,69	2794	3	228,11	1374	7	225,36	1380	2
GenP2	30, 10, 100	768	1733	1	1331,12	6790	3	631,87	4090	5	637,18	4012	3
GenP3	30, 10, 300	2215,5	5052	14	3807,66	19502	4	1545,63	10418	11	1523,53	10120	4
GenP4	30, 8, 400	1798,5	4737	13	4232,16	21060	4	1583,5	9480	11	1603,28	9614	5
GenP5	20, 6, 400	1176,5	3029	15	1822,95	8526	4	945,59	5270	6	960,84	5280	3
GenP6	20, 6, 400	1076,5	2948	15	1961,76	9016	5	945,32	5154	7	964,02	5166	5
GenP7	30, 12, 50	244,5	558	<1	328,99	1632	2	252,52	1376	4	260,45	1408	2
GenP9	30, 12, 400	1908,5	4667	7	3442,93	17268	5	1732,14	10366	10	1743,99	10632	5
GenP10	30, 12, 700	2314,0	5759	17	3238,65	15420	6	1776,18	9736	18	1808,23	9796	7
GenP13	30, 5, 600	2072,0	5492	19	3965,55	18948	8	1577,43	8762	44	1600,83	8848	6
GenP14	30, 5, 500	1710,5	4291	13	2618,67	12546	4	1343,04	7396	9	1365,63	7442	5
GenP15	30, 5, 400	2184,5	5213	7	3820,06	19416	4	1708,22	10628	12	1721,09	10688	6
GenP17	30,10,400	1610,5	4011	9	2785,49	13702	4	1530,39	8776	12	1529,67	8816	5
GenP22	24, 7, 790	2356	6223	19	4010,45	18762	10	1852,17	10588	18	1898,63	10616	5

Результаты эксперимента позволили сделать следующие заключения.

1. Несмотря на то что синтез многоуровневых схем из вентиляей является только одним из этапов синтеза схемы в заданном технологическом базисе, полученный при его выполнении выигрыш по площади и переключательной активности вносит существенный вклад в оценки площади и переключательной активности схемы из элементов КМОП библиотеки.

2. Синтез схем из элементов КМОП библиотеки с использованием второй процедуры существенно выигрывает по обоим параметрам (площади и переключательной активности) у двух остальных. Это говорит о том, что предварительная алгебраическая декомпозиция исходной системы ДНФ позволяет получить выигрыш как по переключательной активности, так и по сложности схемных реализаций, и этот выигрыш становится существенным при увеличении сложности реализуемых систем булевых функций.

3. Синтез схем из элементов КМОП библиотеки с использованием третьей процедуры выигрывает (для большинства примеров) по обоим параметрам у первого подхода, но проигрывает второму. Его отличие от первого подхода состоит в предварительном выполнении совместной нетривиальной факторизации системы ДНФ, которое и обеспечило выигрыш; от второго – в выполнении после совместной нетривиальной факторизации декомпозиции в базисе 2И-НЕ вместо более эффективной процедуры построения скобочных выражений для каждой из ДНФ системы.

В целом величина выигрыша по сложности и переключательной активности сильно зависит от сложности и вида исходного функционального описания и от наперед заданных значений переключательных активностей входных полюсов схемы. В настоящем исследовании взят самый худший случай для выполнения второй процедуры – когда появление сигнала 0 или 1 на всех входах схемы является равновероятным.

Закключение. Проведены исследования степени влияния методов выполнения технологически независимой оптимизации многоуровневых логических схем из вентиляей на сложность и энергопотребление схем в технологическом базисе КМОП-схем. Сравнительные исследования показали, что выбор на этапе технологически независимой оптимизации технологически обусловленного базиса вентиляей для построения многоуровневой логической сети, служащей основой для структурного покрытия элементами КМОП библиотеки, приводит к существенному выигрышу в сложности и энергопотреблении результирующих схем.

Литература

1. Benini L., De Micheli G. // Logic Synthesis and Verification. 2002. P. 197–223.
2. Brayton B. R., Hachtel G. D., Sangiovanni-Vincentelli A. L. // Proc. of the IEEE. 1990. Vol. 78, N 2. P. 264–300.
3. Рабау Ж. М., Чандрасекан А., Николитч Б. Цифровые интегральные схемы. Методология проектирования. М., 2007.
4. Roy K., Prasad S. C. Low Power CMOS VLSI Circuit Design. New York, 2000.
5. Power Compiler. Automatic Power Management within Galaxy™ Implementation Platform: http://pdf.aminer.org/000/285/870/power_compiler_a_gate_level_power_optimization_and_synthesis_system.pdf [Electronic resource]. Date of access: 01.02.2014.
6. Черемисинова Л. Д. // Информац. технологии. 2010. № 8. С. 27–35.
7. Najm F. N. A. // IEEE Trans. on VLSI. 1994. N 12. P. 446–455.
8. Pedram M. Power // ACM Trans. Design Automation Electronic Systems. 1996. Vol. 1. P. 3–56.
9. Лукошко Г., Коннов Е. // Радиолюбитель. 1997. № 9. С. 39–40.
10. Rudell R. Logic Synthesis for VLSI Design // MemorandumNo. UCB/ERL M89/49, Electronics Research Laboratory, College of Engineering, University of California, Berkeley, CA 94720. 1989.
11. Detjens E. et al. // Proc. IEEE Int. Conf. on CAD (ICCAD). 1987. P. 116–119.
12. Sentovich E. M. et al. SIS: A System for Sequential Circuit Synthesis // University of California, Berkeley, Technical Report No. UCB/ERL M92/41 [Electronic resource]. 1992. Mode of access: <http://www.eecs.berkeley.edu/Pubs/TechRpts/1992/ERL-92-41.pdf>. Date of access: 25.02.2015.
13. Черемисинов Д. И., Черемисинова Л. Д. // Информац. технологии. 2011. № 5. С. 17–23.
14. Brayton R. K., Hachtel G. D., McMullen C., Sangiovanni-Vincentelli A. L. Logic minimization algorithms for VLSI synthesis. Boston, 1984.
15. Brayton R. K., Rudell R., Sangiovanni-Vincentelli A. L. et al. // IEEE Trans. on Computer-Aided Design. 1989. Vol. CAD-6, N 6. P. 1062–1081.
16. Keutzer K. // Proc. 24th ACM/IEEE Design Automation Conf. 1987. P. 341–347.
17. Библио П. Н., Лицкевич В. Г. // Микроэлектроника. 2002. № 1. С. 66–77.
18. Mailhot F., De Micheli G. // IEEE Trans. on Computer-Aided Design of Integr. Circ. and Systems. 1993. Vol. 12, N 5. P. 599–620.
19. Stok L., Tiwari V. // Logic Synthesis and Verification. Boston; Dordrecht; London, 2002. P. 115–140.
20. Черемисинова Л. Д. Синтез и оптимизация комбинационных структур СБИС. Минск, 2007.
21. Черемисинова Л. Д. // Информатика. 2010. № 4. С. 112–122.
22. Черемисинова Л. Д., Кириенко Н. А. // Информац. технологии. 2013. № 3. С. 8–14.
23. Berkeley PLA test set [Electronic resource]. Mode of access: <http://www1.cs.columbia.edu/~cs6861/sis/espresso-examples>. Date of access: 25.02.2015.
24. Библио П. Н., Черемисинова Л. Д., Кардаш С. Н. и др. // Программная инженерия. 2013. № 8. С. 35–41.

N. A. KIRIENKO, D. I. CHEREMISINOV, L. D. CHEREMISINOVA

OPTIMIZATION OF MULTI-LEVEL REPRESENTATIONS OF LOGIC CIRCUITS TO REDUCE A VLSI CHIP AREA AND POWER CONSUMPTION

Summary

The problem of optimization of multi-level representations of logic circuits taking into account two main characteristics of CMOS circuits (area and average dissipated power value) is developed. The results of a comparative study of two approaches to the construction of multi-level logic circuits design on the base of gates are presented. Such multi-level logic circuits are intended to cover a CMOS library with elements.